전공: 컴퓨터공학 학년: 2학년 학번: 20161603 이름: 신민준

1. Parity Bit 생성기에 대해 조사하시오.

Parity Bit Generating 기술은 데이터 송수신에 있어서 현재 가장 보편적으로 쓰이고 있는 검사 기술이다. 디지털 시스템에서, binary 데이터가 전송되고 처리될 때 데이터는 노이즈들에 의해 0에서 1로, 또는 1에서 0으로 변조될 수 있다.

따라서, parity bit이 데이터에 추가되어 데이터에 있는 총 1의 개수가 홀수 또는 짝수도 되도록 해, 송수신 중 에러가 발생했는지 여부를 확인할 수 있다. 받는 쪽에서 받은 메세지에 들어있는 1의 총 개수를 세어보고, 일치하지 않는 경우, 데이터에 에러가 있음을 확인할 수 있다.

Parity generator에서 데이터 비트들과 parity bit에 들어있는 1의 총 개수는 홀수가 될 수도, 짝수가 될 수도 있다. 짝수 패리티(even parity)의 경우, 추가된 parity는 데이터에 있는 1의 총 개수가 짝수가 되도록 추가될 것이고, 반대로 홀수 패리티(odd parity)의 경우에는 총 개수가 홀수가 되도록 추가될 것이다. 이러한 parity를 생성하는 생성기는 XOR gate를 이용해 간단하게 구현할 수 있는데, 이는 짝수 개의 1을 지닌 input에 대해 XOR gate가 0을 내놓는 다는 특성에서 기인한다.

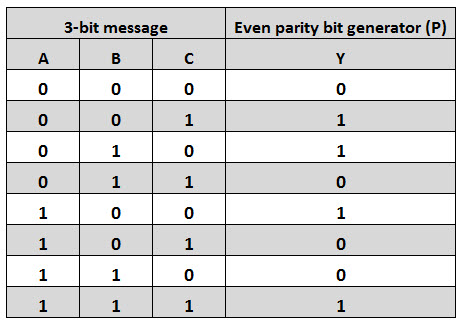
스크린샷이(가) 표시된 사진

자동 생성된 설명

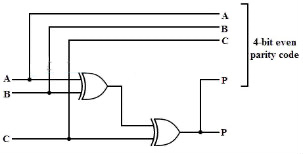
따라서, parity generator는 다음과 같은 특성을 가져야 한다.

* Even parity의 경우: 1의 개수가 짝수인 경우 – 0, 홀수인 경우 – 1
* Odd parity의 경우: 1의 개수가 짝수인 경우 – 1, 홀수인 경우 – 0

이를 통해, 다음과 같이 3-bit 에서의 even parity generator Truth table을 작성할 수 있다.



해당 진리표를 식으로 표현하면 이고, 논리 회로로 보이면 다음과 같다.

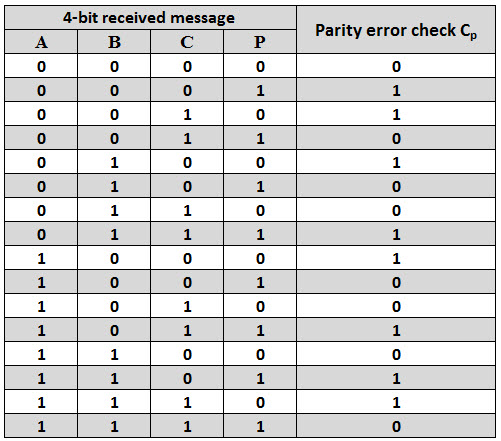


1. Parity Bit 검사기에 대해 조사하시오(검사 부호 종류 포함).

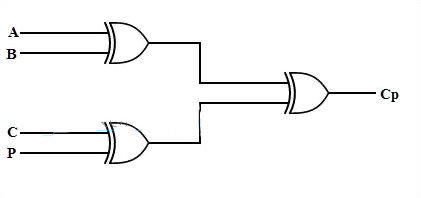
Parity Checker는 송수신 중에 에러가 있었는지를 검출하는 논리 회로를 말한다. 이 회로에는 Even parity 검사기나 Odd parity 검사기가 있다. 예를 들어, 이 검사기가 even parity checker로 사용되면, 총 1의 개수가 짝수여야 한다.

예를 들어, 3bit의 메세지와 1bit의 even parity bit이 수신된다고 할 때, 이 4bit은 parity bit 검사기로 입력되어 데이터에 에러가 있었는지를 확인하게 된다. 데이터가 even parity를 기준으로 송신되었으므로, 받은 데이터에는 짝수 개의 1이 있어야 한다고 볼 수 있다. 만약 에러가 있었다면, 받은 데이터에는 홀수 개의 1이 있을 것이다. 이 때, parity bit 검사기의 출력은 PEC(Parity Error Check)라 일컫는다.

아래의 진리표는 even parity check를 보이고 있는데, 이 때 만약 에러가 난다면 PEC인 의 값이 1이 된다.



위 테이블을 기준으로 식과 논리 회로를 작성하면 다음과 같다.



Parity의 기준이 Odd parity인 경우, 같은 논리 회로를 적용시켰을 때 에러가 있는 경우 이고, 그렇지 않은 경우에는 이 될 것이다.

1. Parity Bit 검사기 외의 다른 오류 검출기 및 오류 정정기를 조사하시오.

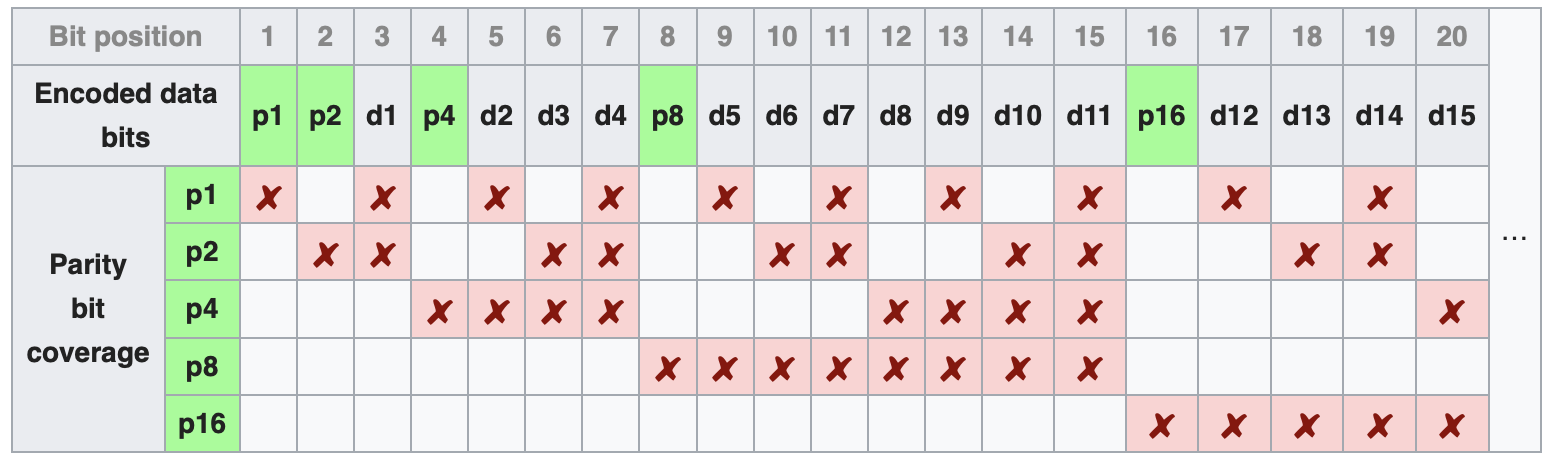
* Two-out-of-five code

이 코드는 정확이 3개의 0과 2개의 1을 사용한 5bit 코드이다. 이는 10개의 가능한 조합을 만들어내는데, 각각 0-9의 숫자와 매칭될 수 있다. 이 코드는 1bit 에러와 몇 가지의 에러를 감지할 수 있다. 하지만, 발생한 에러를 수정하는 것이 불가능하다는 단점이 있다.

* Hamming’s Code

Hamming’s code(해밍 부호)는 대표적인 SECDED(Single Error Correction & Double Error Detection) 코드의 일종으로, 거리가 3인 코드이므로, 확장된 해밍 코드(Extended Hamming Code)의 경우, 두 개 이하의 오류가 존재한다는 사실을 알 수 있고, 한 개의 오류에 대해서는 교정이 가능하다.

각 번 째 bit은 parity bit이고, 그 외의 모든 bit은 data bit이다. 이를 표를 통해 시각화하면 다음과 같다.



7개의 bit를 갖는 Hamming’s Code의 경우, 다음과 같이 parity bit이 규정되며, 오류가 발생한 bit의 위치 도 해당 식에 의해 찾아낼 수 있다.

1. N-bit 비교기에 대해서 조사하시오.

비교기는 두 개의 이진수를 받아 하나의 수가 다른 하나의 수에 대해 크거나, 작거나, 같은지를 출력해주는 회로이다. 예를 들어, XNOR gate는 두 비트가 동일할 경우 1을 출력하기에 기본적인 comparator라 볼 수 있다.

4-bit 이진수 A와 B가

처럼 제공된다고 할 때,

i번째 digit에 대한 equality는 , 또는 처럼 나타낼 수 있다.

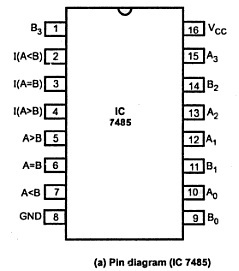
이를 n-bit에 대해 확장하면,

이다.

Inequality를 확인할 때엔, MSB에서부터 시작해 LSB로 내려가면서 A가 1이고, B가 0일 때까지, 또는 A<B의 경우 A가 0, B가 1일 때 까지 확인하면 된다. 즉,

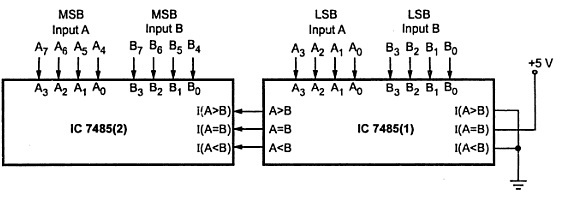
1. IC 7485 비교기에 대하여 조사하시오.

IC 7485 비교기는 가장 보편적인 4bit IC comparator이다. 이 IC는 두 개의 4-bit binary words를 비교 가능하다.



위 다이어그램은 IC 7485의 핀을 보여주는데, 이 때, 2, 3, 4번의 핀을 접지하면 두 개의 4-bit 워드를 비교 가능하다.

또한, IC 7465는 cascading input을 제공하므로, 여러 개의 IC 7485 비교기를 연쇄적으로 연결해 사용하는 것이 가능하다. 이 방법을 통해 구현한 8-bit comparator는 다음과 같다.



1. 기타 이론

* Comparator들은 address decoding circuitry에서 컴퓨터나 마이크로 프로세서 기반 장치들이 데이터를 저장할 특정한 입력/출력 장치를 선택하는 과정을 구현하는데 사용된다.
* Parity generator/checker IC에는 input의 개수에 따라 다양한 종류가 있는데, 가장 자주 사용되는 parity generator/checker IC는 74180이 있다.

9-bit parity checker/generator로서, 9-bit의 odd/even parity에 대해 생성하거나 오류를 검출하는 것이 가능하다.

